

Patent



Customer No. 31561
Application No.: 10/710,908
Docket No. 11573-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Huang
Application No. : 10/710,908
Filed : Aug 12, 2004
For : CHIP STRUCTURE
Examiner : N/A
Art Unit : 2812

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA 22202

Dear Sir:

Transmitted herewith is a certified copy of Taiwan Application No.: 92122953,
filed on: 2003/8/21.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: Dec. 22, 2004

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

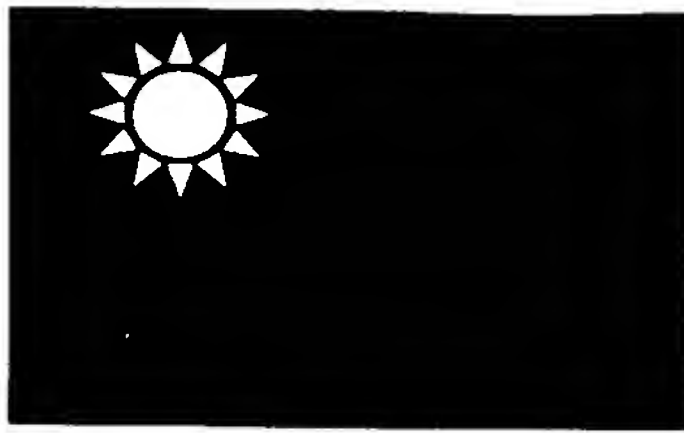
7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 08 月 21 日
Application Date

申請案號：092122953
Application No. **CERTIFIED COPY OF
PRIORITY DOCUMENT**

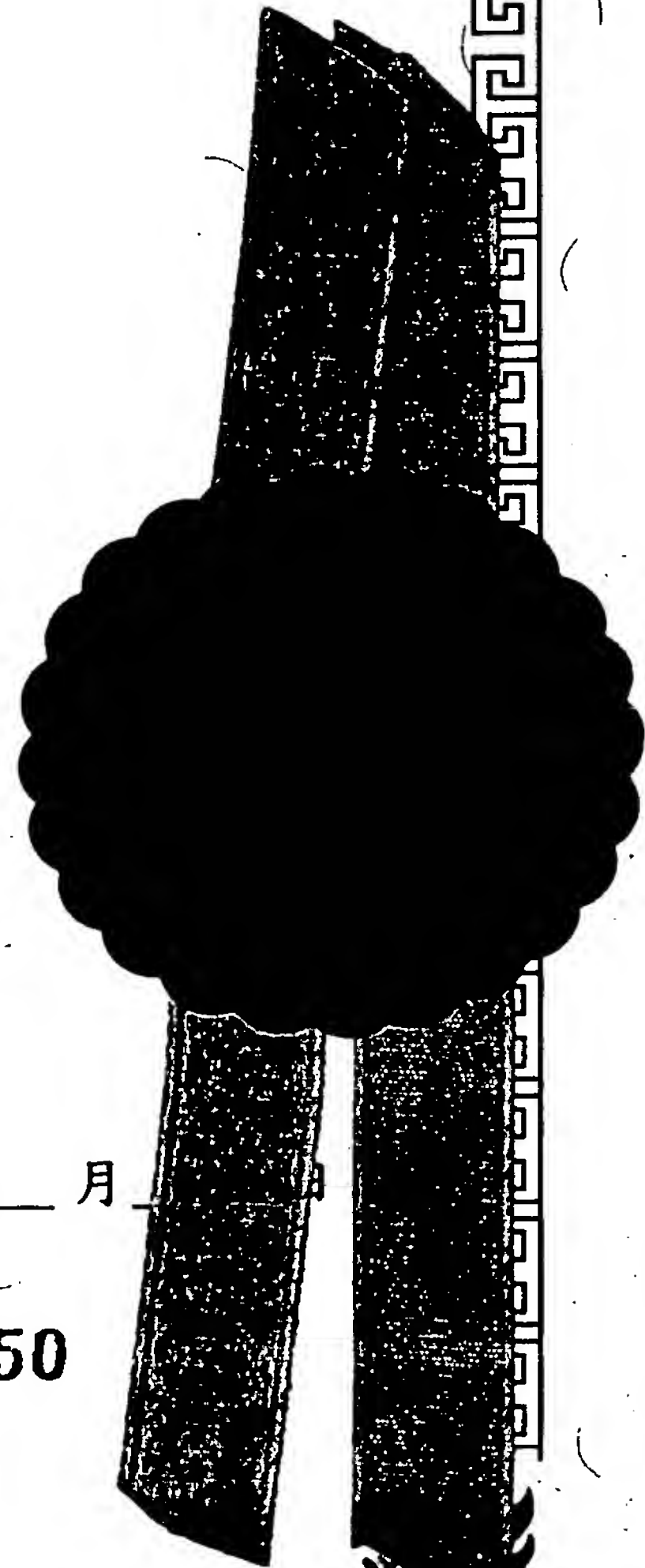
申請人：日月光半導體製造股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 8 月
Issue Date

發文字號：09320792150
Serial No.

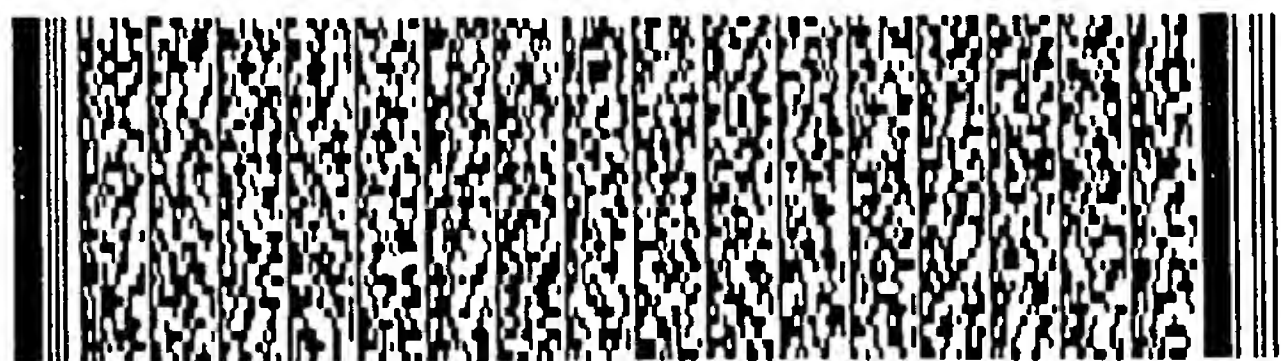


申請日期：92.8.21	IPC分類
申請案號：92122953	H01L 23/48

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	晶片結構
	英文	Chip Structure
二、 發明人 (共1人)	姓名 (中文)	1. 黃敏龍
	姓名 (英文)	1. Min-Lung Huang
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 高雄市三民區鼎勇街33巷2弄8號10樓
	住居所 (英文)	1. 10F, No. 8, Alley 2, Lane 33, Ting-yung St., San-min Chu, Kaohsiung, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或姓名 (英文)	1. Advanced Semiconductor Engineering, Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 高雄市楠梓加工出口區經三路26號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 26, Chin 3rd. Rd., 811, Nantze Export Processing Zone, Kaohsiung, Taiwan, R.O.C.
	代表人 (中文)	1. 張虔生
	代表人 (英文)	1. Chien-Sheng Chang



115731wf.p1d

四、中文發明摘要 (發明名稱：晶片結構)

一種晶片結構，主要係由一晶片、一間隙墊、一保護層、一球底金屬層以及一導電凸塊所構成。晶片具有多個鐳墊，配置於晶片之主動表面上，而間隙墊配置於鐳墊與球底金屬層之間，用以改善習知鐳墊與球底金屬層之間因電致遷移所造成之開路。此外，導電凸塊之底部連接於該球底金屬層，以作為晶片對外連接之導電結構。

伍、(一)、本案代表圖為：第 2 圖

(二)、本案代表圖之元件代表符號簡單說明：

200：晶片

202：主動表面

204a、204b：保護層

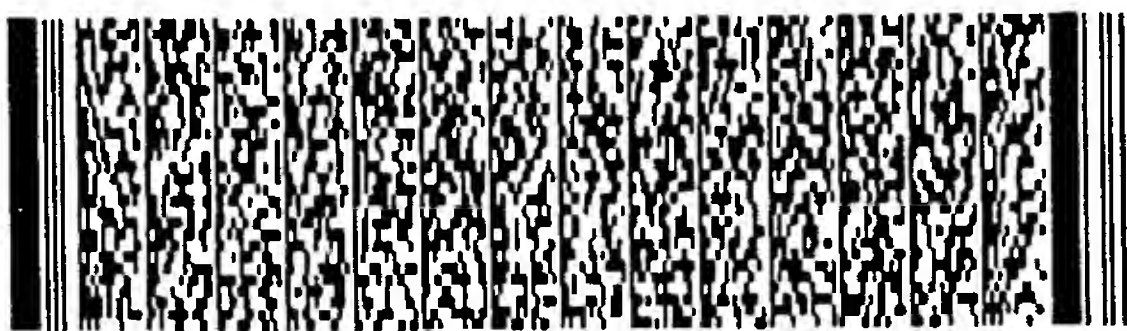
206a、206b：開口

210：鐳墊

214：導電結構

六、英文發明摘要 (發明名稱：Chip Structure)

A chip structure is composed of a chip, a spacing pad, a passivation layer, an under bump metallurgic (UBM) layer and a conductive bump. The chip has a plurality of bonding pads located on the active surface of the chip, and the spacing pad is disposed between the bonding pad and the UBM layer to improve the broken circuit caused from the electromigration between the bonding pad



四、中文發明摘要 (發明名稱：晶片結構)

216 : 間 隙 墊

216a、216b : 端 面

218 : 凸 塊 金 屬 墊

220 : 球 底 金 屬 層

230 : 導 電 凸 塊

六、英文發明摘要 (發明名稱：Chip Structure)

and the UBM layer. In addition, the base of the conductive bump is connected on the UBM layer to be used a conductive structure externally.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

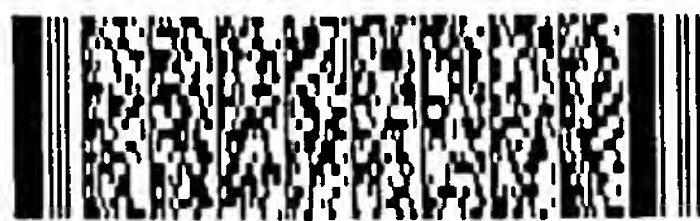
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

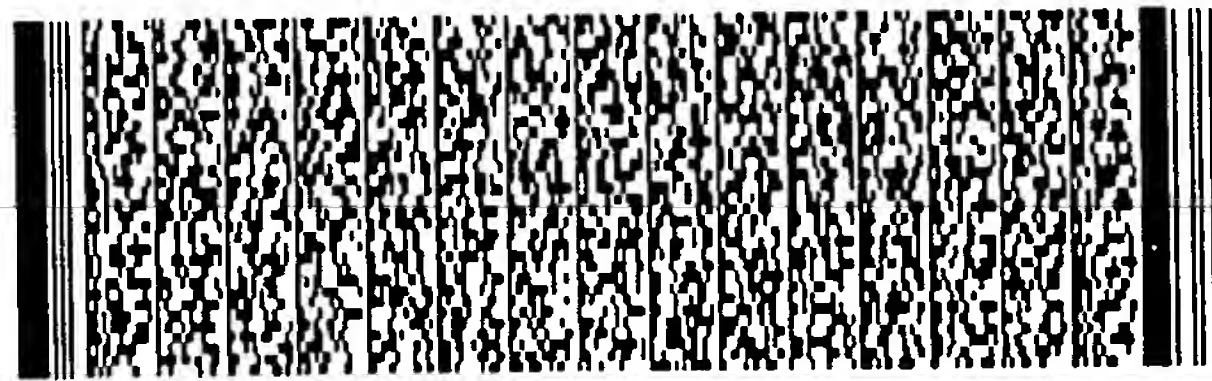
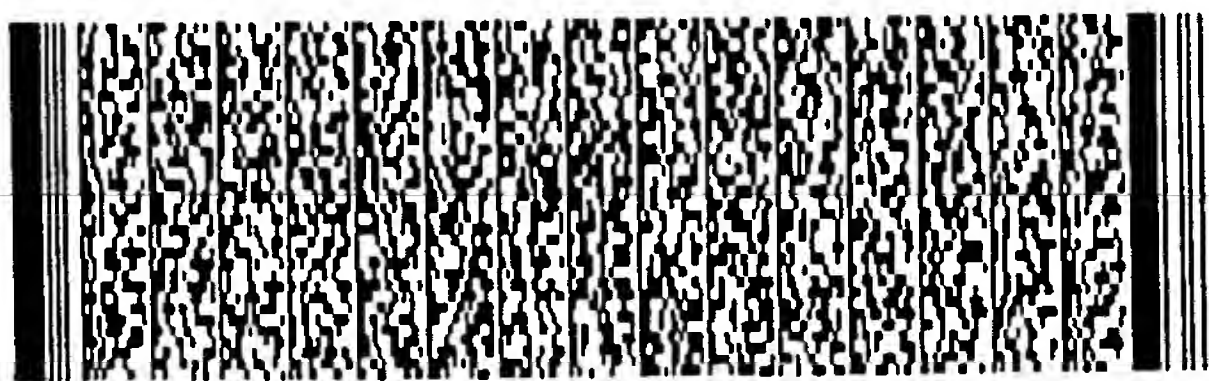
【發明所屬之技術領域】

本發明是有關於一種晶片結構，且特別是有關於一種銲墊上之導電結構，適用於覆晶接合型態之晶片。

【先前技術】

在半導體產業中，積體電路(Integrated Circuits, IC)的生產，主要分為三個階段：晶圓(Wafer)的製造、積體電路(IC)的製作以及積體電路的封裝(Package)等。其中，裸晶片(die)係經由晶圓(Wafer)製作、電路設計、電路製作以及切割晶圓等步驟而完成，而每一顆由晶圓切割所形成的裸晶片，經由裸晶片上之銲墊(Bonding Pad)與外部訊號電性連接後，再將裸晶片封裝，其封裝之目的在於防止裸晶片受到濕氣、熱量、雜訊的影響，並提供裸晶片與外部電路，比如與印刷電路板(Printed Circuit Board, PCB)或其他封裝用基板之間電性連接的媒介，如此即完成積體電路的封裝製程。

為了連接上述之裸晶片和封裝用基板，通常會使用導線(Wire)及/或導電凸塊(Conductive Bump)作為接合之媒介。其中，覆晶接合技術(Flip Chip Interconnect Technology)即是在裸晶片之銲墊上以陣列排列的方式形成導電凸塊，接著再將晶片翻覆之後，利用晶片上之導電凸塊分別對應連接至封裝用基板(Substrate)上的接點(Contact)，使得晶片可經由導電凸塊而電性連接至封裝用基板，再經由封裝用基板之內部線路及表面之接點而與外部訊號電性連接。

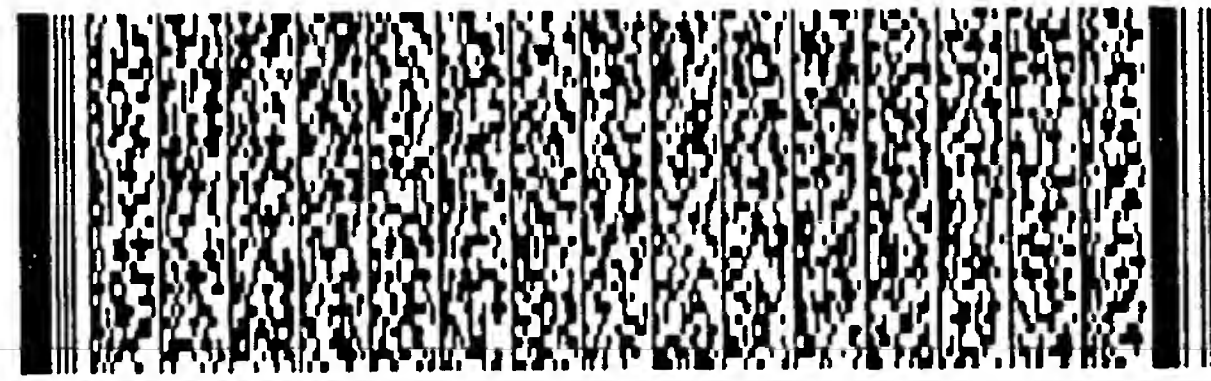
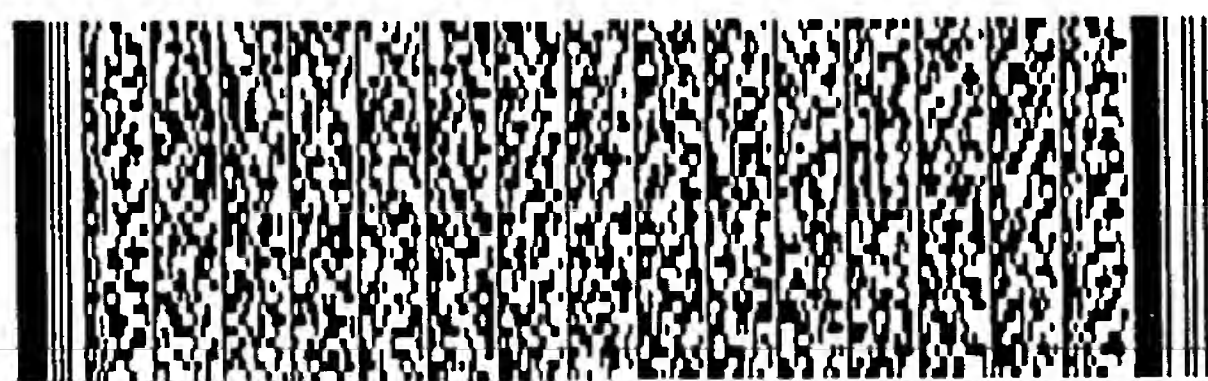


五、發明說明 (2)

請參考第1圖，其繪示習知一種晶片結構的剖面示意圖。每一顆由晶圓切割所形成之晶片100，具有多個鐳墊110(僅繪示其一)，以作為晶片100連接外部訊號之接點，而鐳墊110例如呈面陣列的方式排列於晶片100之主動表面102上，以增加晶片100的接點數量。此外，為了避免晶片100遭受外來雜質及機械性的傷害，在晶片100之主動表面102上可形成一保護層104(Passivation Layer)，此保護層104例如為一有機保護材料或一無機保護材料所沉積而成，其覆蓋於晶片100之主動表面102上，且未被保護層104覆蓋之鐳墊110的上表面112則形成一開口106，以作為後續凸塊製程所需之接點窗口。

同樣請參考第1圖，鐳墊110上經由凸塊製程以形成一球底金屬層(Under Bump Metallurgic, UBM)120以及一導電凸塊130，以作為晶片100電性及結構性連接至一封裝基板(未繪示)的導電結構。其中，球底金屬層120配置於鐳墊110與導電凸塊130之間，以增加鐳墊110與導電凸塊130之間的接合性。一般而言，球底金屬層120係由黏著層(adhesive layer)122、阻障層(barrier layer)124以及沾錫層(wetting layer)126等複合金屬層所構成，而導電凸塊130之材質例如為錫鉛凸塊，其可藉由迴鐳製程而形成球體狀之凸塊。

值得注意的是，由於球底金屬層120係以階梯覆蓋(step coverage)的方式形成於鐳墊110之上表面112以及開口106之周圍表面，因此當晶片100之運作速度加快時，



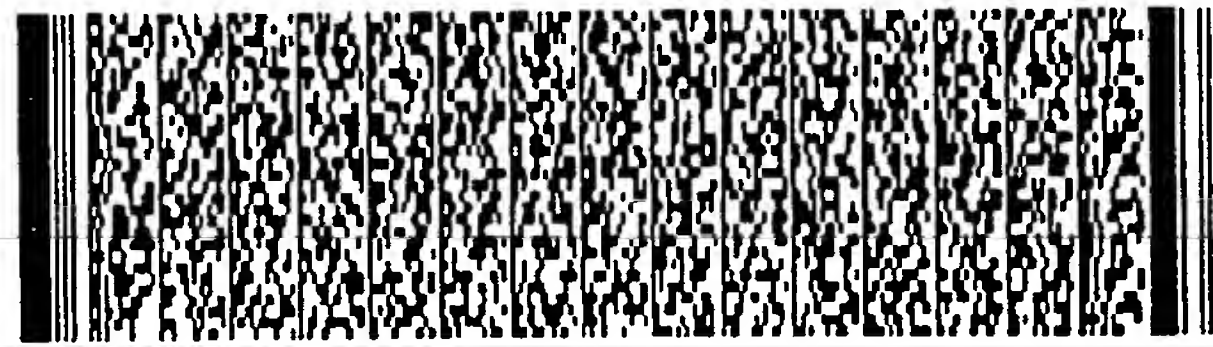
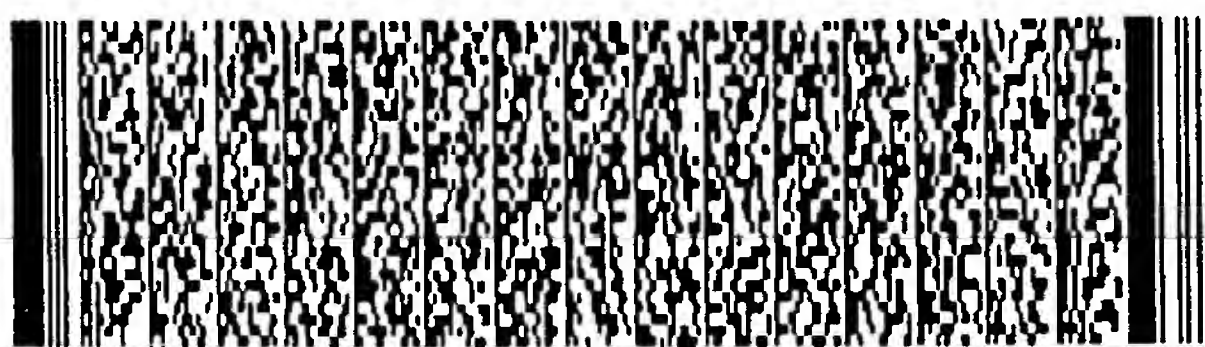
五、發明說明 (3)

常會形成大量的電流行經鐳墊110，並以大於等於90度之轉折角108流向球底金屬層120。由於電流在通過此轉折角108時過於擁擠，即電流在轉角處之密度增大，進而導致金屬原子在轉角處產生晶界擴散現象，即電致遷移(Electromigration)現象，如此使得球底金屬層120之金屬原子在長時間的電流作用下因電致遷移而流失，以至於在鐳墊110與球底金屬層120之間造成開路，而影響晶片100之使用壽命。

【發明內容】

因此，本發明的目的就是在提供一種晶片結構，其中一間隙墊(spacer)配置於鐳墊與球底保護層之間，用以改善鐳墊與球底金屬層之間因電致遷移所造成之開路，並提高晶片之使用壽命。

為達本發明之上述目的，本發明提出一種晶片結構，主要係由一晶片、一間隙墊、一第一保護層、一第二保護層、一球底金屬層以及一導電凸塊所構成。晶片至少具有蓋一鐳墊，其配置於晶片之主動表面上，而第一保護層覆蓋於主動表面上，且鐳墊係暴露於第一保護層之第一開口中。此外，間隙墊配置於鐳墊上，並容納於第一保護層之第一開口中。另外，第二保護層覆蓋於第一保護層上，而間隙墊係暴露於第二保護層之第二開口中，且球底金屬層覆蓋於間隙墊之上表面以及第二開口之周圍表面。再者，導電凸塊之底部連接於該球底金屬層，以作為晶片對外電性連接之導電結構。



五、發明說明 (4)

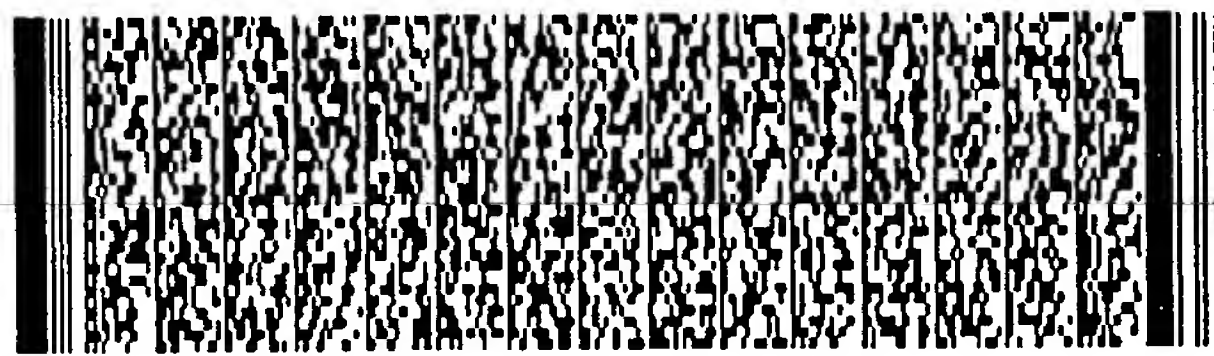
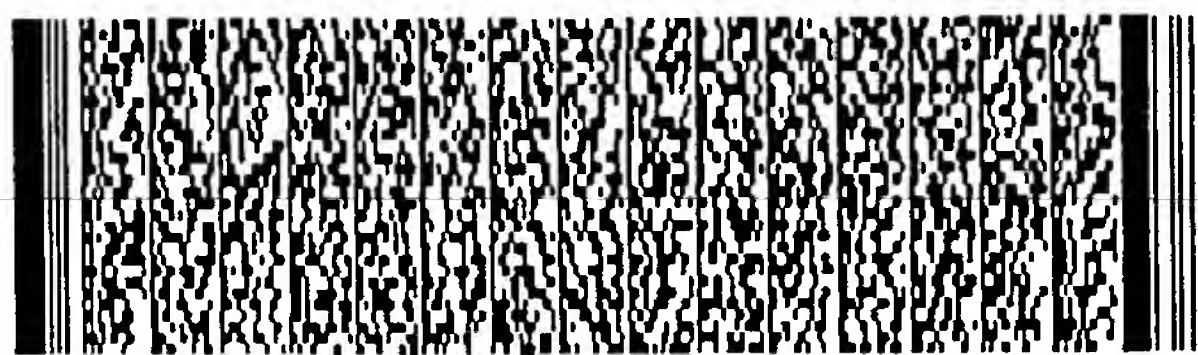
為達本發明之上述目的，本發明提出一種，鐳墊上之導電結構，適用於一晶片，此晶片具有一主動表面，且晶片至少具有一鐳墊，配置於主動表面上，此鐳墊上之導電結構主要係由一間隙墊、一凸塊金屬墊以及一導電凸塊所構成。其中，間隙墊配置於鐳墊與凸塊金屬墊之間，用以改善鐳墊與凸塊金屬墊之間因電致遷移所造成之開路。此外，導電凸塊之底部連接於凸塊金屬墊上，以作為晶片對外電性連接之導電結構。

依照本發明的較佳實施例所述，上述之導電結構係垂直排列於鐳墊之上方，而當電流行經鐳墊並轉向至鐳墊上方之間隙墊與球底金屬層時，由於電流密度受到間隙墊之減緩效果而下降，因此球底金屬層之金屬原子不易因電致遷移而流失，以改善鐳墊與球底金屬層之間因電致遷移所造成之開路，進而提高晶片之使用壽命。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

請參考第2圖，其繪示本發明一較佳實施例之一種晶片結構的剖面示意圖。晶片200具有多個鐳墊210（僅繪示其一），其排列於晶片200之主動表面上，以作為晶片200連接外部訊號之接點。此外，晶片200之鐳墊210上具有一導電結構214，作為晶片200電性以及結構性連接一封裝基板之接合媒介。在本實施例中，導電結構214例如係由一

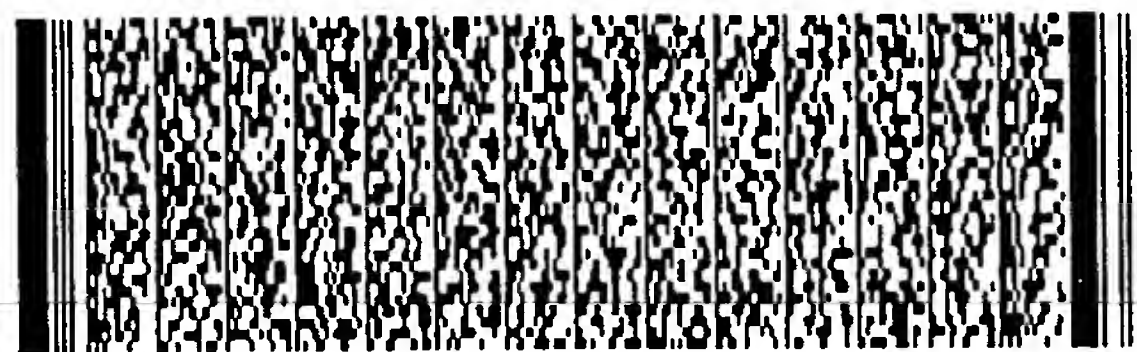
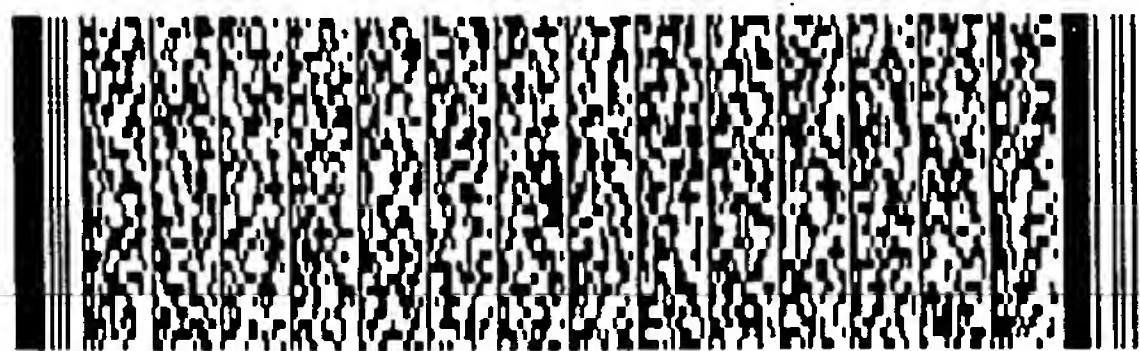


五、發明說明 (5)

間隙墊216、一凸塊金屬墊218、一球底金屬層220以及一導電凸塊230所構成。其中，間隙墊216以及凸塊金屬墊218係配置於鉅墊210與球底金屬層220之間，以增加鉅墊210與球底金屬層220之間的距離，使得電流由間隙墊216靠近於鉅墊210之一端面216a流向間隙墊216遠離於鉅墊210之另一端面216b時，其電流密度將逐漸減小，以保護球底金屬層220之金屬原子不會因電致遷移而流失，進而改善習知鉅墊110與球底金屬層120之間因電致遷移所造成之開路。

同樣請參考第2圖，上述之導電結構214係垂直排列於鉅墊210之上方，且在晶片200之主動表面202上可依序形成一第一保護層204a以及一第二保護層204b，分別具有第一開口206a以及第二開口206b，以作為導電結構214之配置空間。其中，第一保護層204a與第二保護層204b例如為一有機保護材料或一無機保護材料所沉積而成，其依序覆蓋於晶片200之主動表面202上。此外，間隙墊216可配置於鉅墊210上，並可容納於第一保護層204a之第一開口206a之中，而間隙墊216之上端面216b大致上切齊於第一保護層204a之上表面。另外，凸塊金屬墊218可配置於間隙墊216與球底金屬層220之間，且凸塊金屬墊218位於第一開口206a與第二開口206b之間，其材質例如為與間隙墊216以及球底金屬層220接合性良好之金屬。

當然，若上述之間隙墊216與球底金屬層220之間的接合性良好，則不須使用凸塊金屬墊218作為接合之媒介。

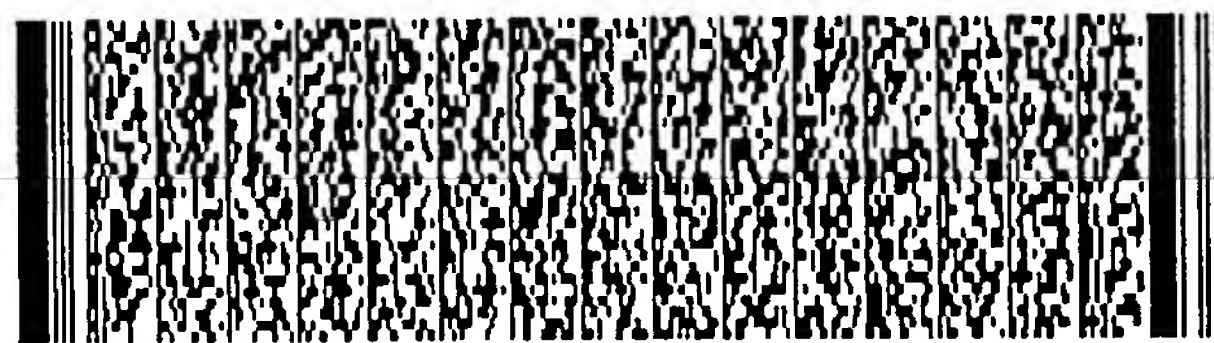
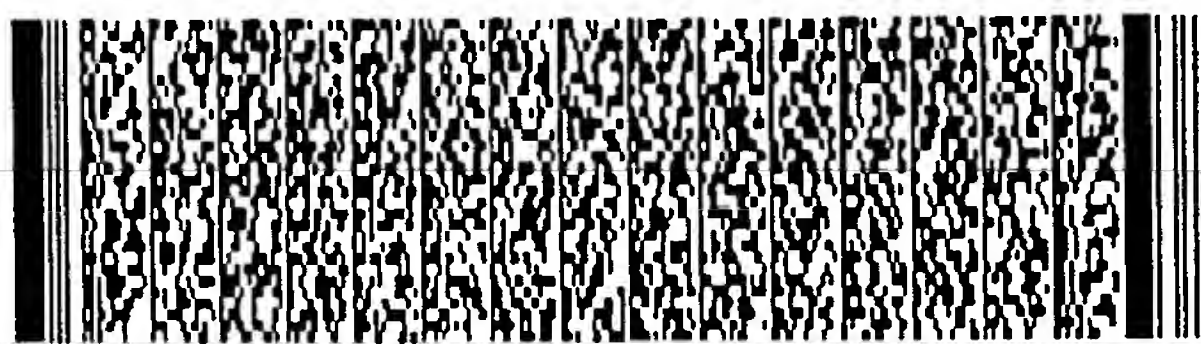


五、發明說明 (6)

請參考第3圖，其繪示本發明另一實施例之一種晶片結構的剖面示意圖，其中間隙墊216容納於第一保護層204a之開口206a中，且間隙墊216之上端面216b略低於第一保護層204a之上表面，以構成一深度較淺之開口206a。此外，球底金屬層220係以階梯覆蓋的方式形成於間隙墊216之上端面216b與開口206a之周圍表面，而導電凸塊230之底部則連接至球底金屬層220上，以構成品片200對外電性以及結構性連接之導電結構。

另外，請參考第4圖，其繪示本發明又一實施例之一種晶片結構的剖面示意圖。當凸塊金屬墊218與導電凸塊230接合性良好時，亦可以凸塊金屬墊218取代上述之球底金屬層220。其中，凸塊金屬墊218覆蓋於第一保護層204a之上表面，其具有平坦化之表面218a，因此相較於以階梯覆蓋之球底金屬層220，其與導電凸塊230之間的接合性優於球底金屬層220與導電凸塊230之間的接合性。此外，凸塊金屬墊218之製程可採用成本低之圖案化製程(例如微影蝕刻)，或是以電鍍的方式，同時形成間隙墊216與凸塊金屬墊218，因此相較於複雜且成本高之球底金屬層之製程，其製作容易，故可減少晶片200之製作成本。

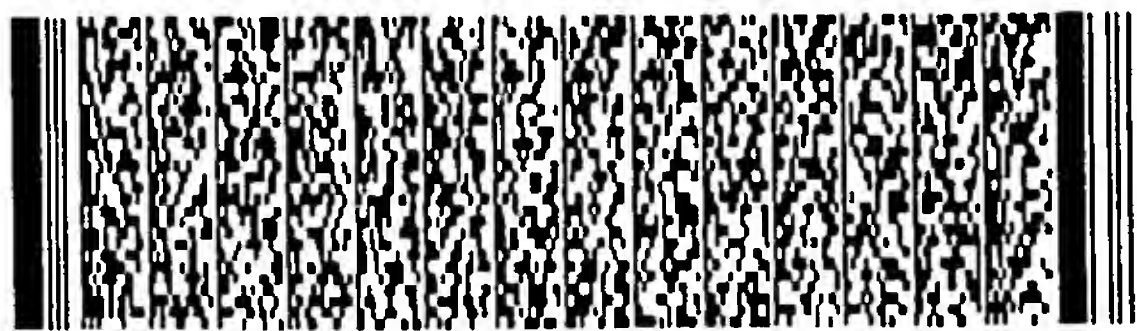
綜上所述，本發明之晶片結構係在晶片之主動表面上配置一間隙墊，而間隙墊之一端面係連接於一鐳墊，且間隙墊之另一端面係連接於一球底金屬層(或一凸塊金屬墊)，以增加鐳墊與球底金屬層(或凸塊金屬墊)之間的距離。因此，當電流通過鐳墊上方之間隙墊的二端面時，其



五、發明說明 (7)

電流密度將隨之減小，以保護球底金屬層之金屬原子不會因電致遷移而流失，進而改善習知鍍墊與球底金屬層之間因電致遷移所造成之開路。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖繪示習知一種晶片結構的剖面示意圖。

第2圖繪示本發明一較佳實施例之一種晶片結構的剖面示意圖。

第3圖繪示本發明另一實施例之一種晶片結構的剖面示意圖。

第4圖繪示本發明又一實施例之一種晶片結構的剖面示意圖。

【圖式標示說明】

100：晶片

102：主動表面

104：保護層

106：開口

108：轉折角

110：鐳墊

112：上表面

120：球底金屬層

122：黏著層

124：阻障層

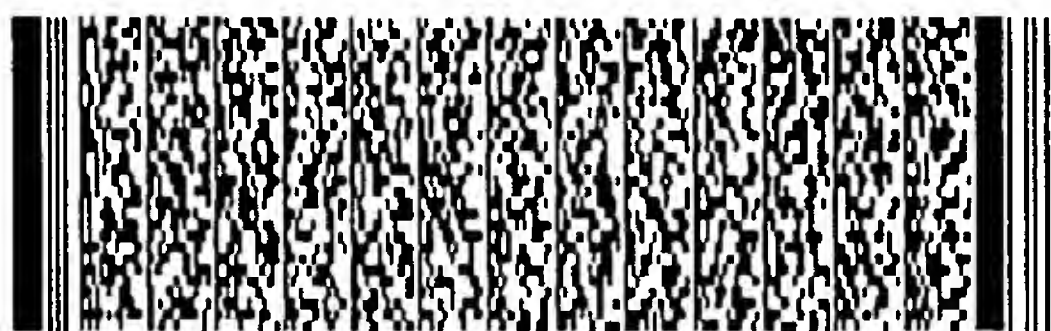
126：沾錫層

130：導電凸塊

200：晶片

202：主動表面

204a、204b：保護層



圖式簡單說明

206a、206b：開口

210：鐳墊

214：導電結構

216：間隙墊

216a、216b：端面

218：凸塊金屬墊

218a：平坦表面

220：球底金屬層

230：導電凸塊



六、申請專利範圍

1. 一種晶片結構，至少包括：

一晶片，具有一主動表面，且該晶片至少具有一鐳墊，配置於該主動表面上；

一第一保護層，配置於該主動表面上，該第一保護層至少具有一第一開口，暴露出該鐳墊；以及

一間隙墊，配置於該鐳墊上，且容納於該第一開口之中。

2. 如申請專利範圍第1項所述之晶片結構，更包括一凸塊金屬墊，其底面連接於該間隙墊，並覆蓋於該第一開口之周圍表面上。

3. 如申請專利範圍第2項所述之晶片結構，更包括一第二保護層，覆蓋於該第一保護層上，該第二保護層具有至少一第二開口，暴露出該凸塊金屬墊。

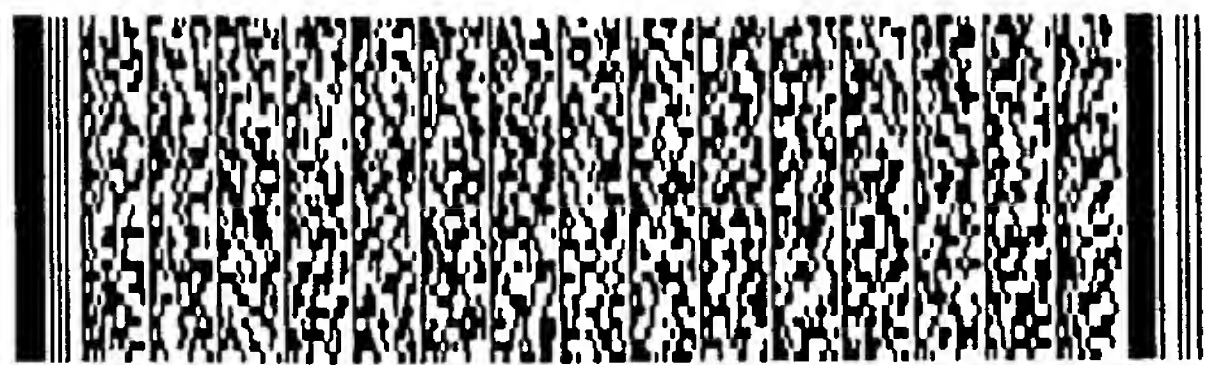
4. 如申請專利範圍第3項所述之晶片結構，更包括一球底金屬層，覆蓋於該凸塊金屬墊之上表面以及該第二開口之周圍表面。

5. 如申請專利範圍第4項所述之晶片結構，更包括一導電凸塊，其底部連接於該球底金屬層上。

6. 如申請專利範圍第3項所述之晶片結構，更包括一導電凸塊，其底部連接於該凸塊金屬墊上。

7. 如申請專利範圍第1項所述之晶片結構，更包括一球底金屬層，覆蓋於該間隙墊之上表面以及該第一開口之周圍表面。

8. 如申請專利範圍第7項所述之晶片結構，更包括一



六、申請專利範圍

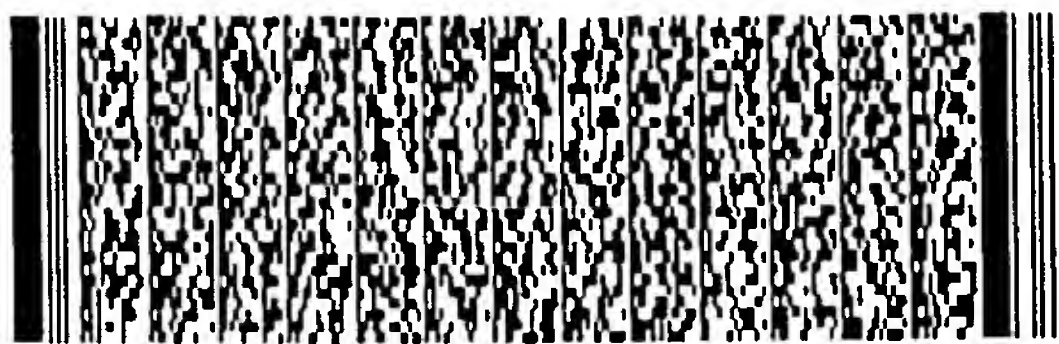
導電凸塊，其底部連接於該球底金屬層上。

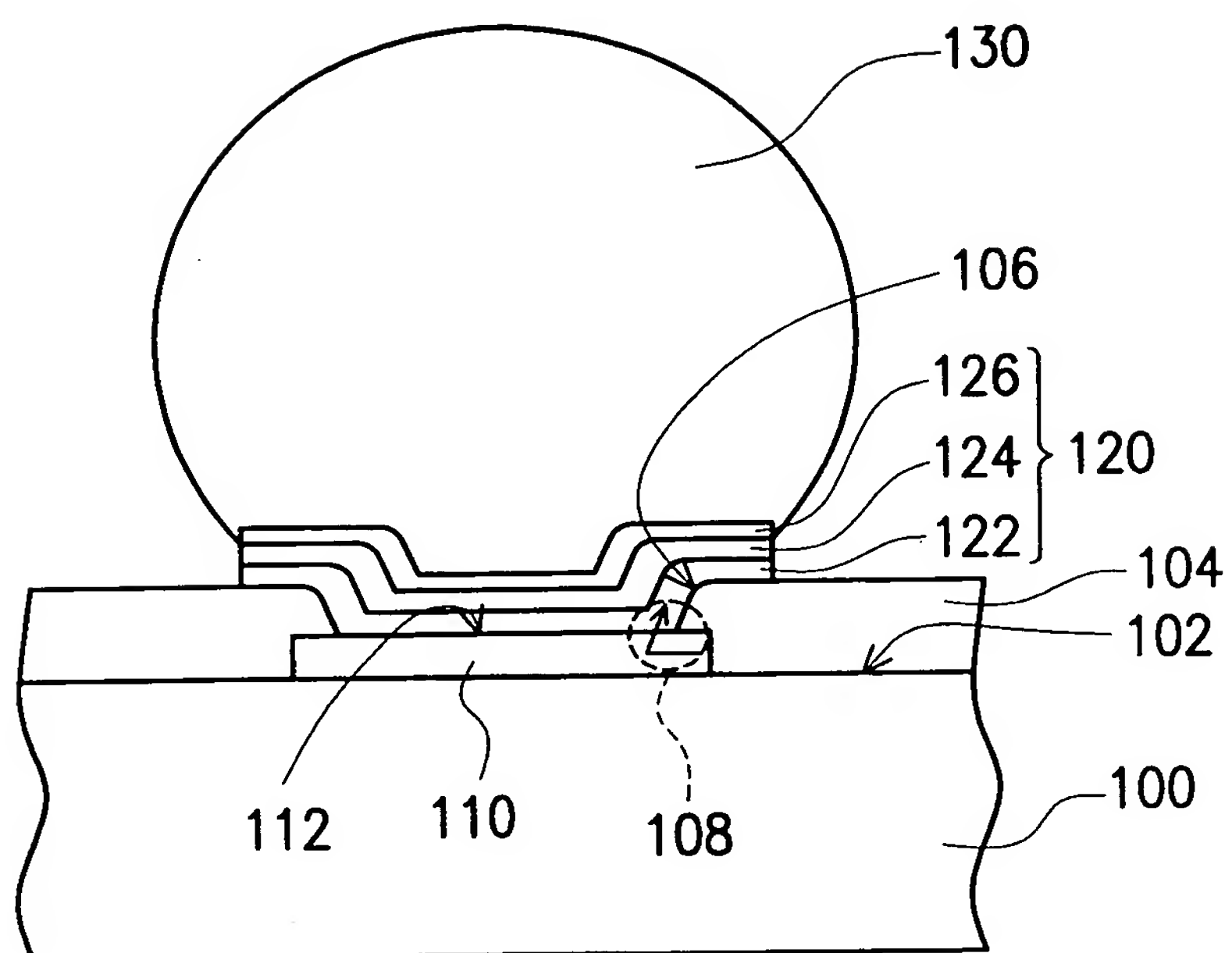
9. 一種鐳墊上之導電結構，適用於一晶片，該晶片具有一主動表面，且該晶片至少具有一鐳墊，配置於該主動表面上，該鐳墊上之導電結構至少包括：

一間隙墊，配置於該鐳墊上，該間隙墊具有一第一端面以及對應一第二端面，而該第一端面係連接於該鐳墊之上表面；

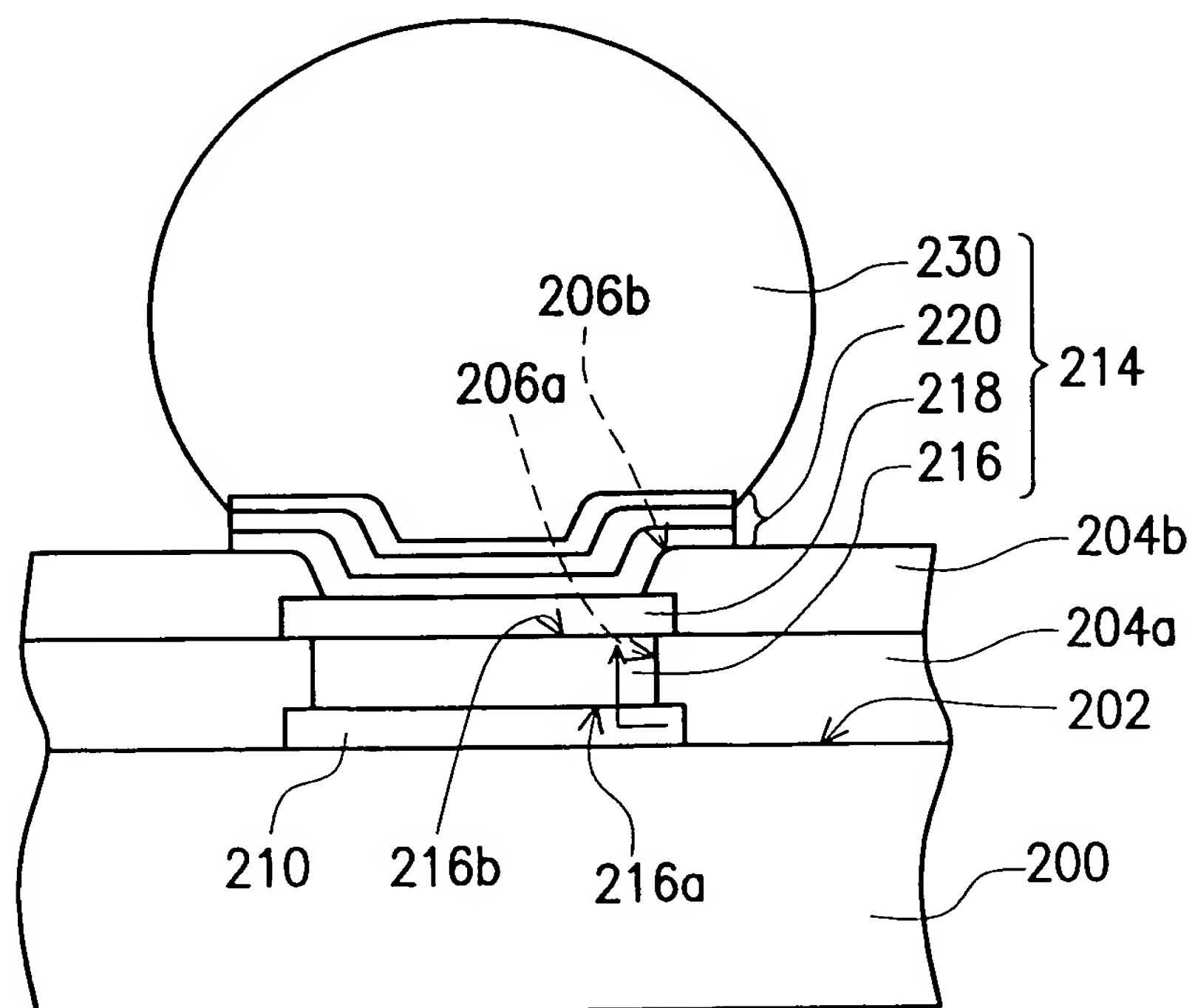
一凸塊金屬墊，其底面連接於該間隙墊之該第二端面上，且該凸塊金屬墊之頂面係為一平坦表面；以及

一導電凸塊，其底部連接於該凸塊金屬墊之該平坦表面上。

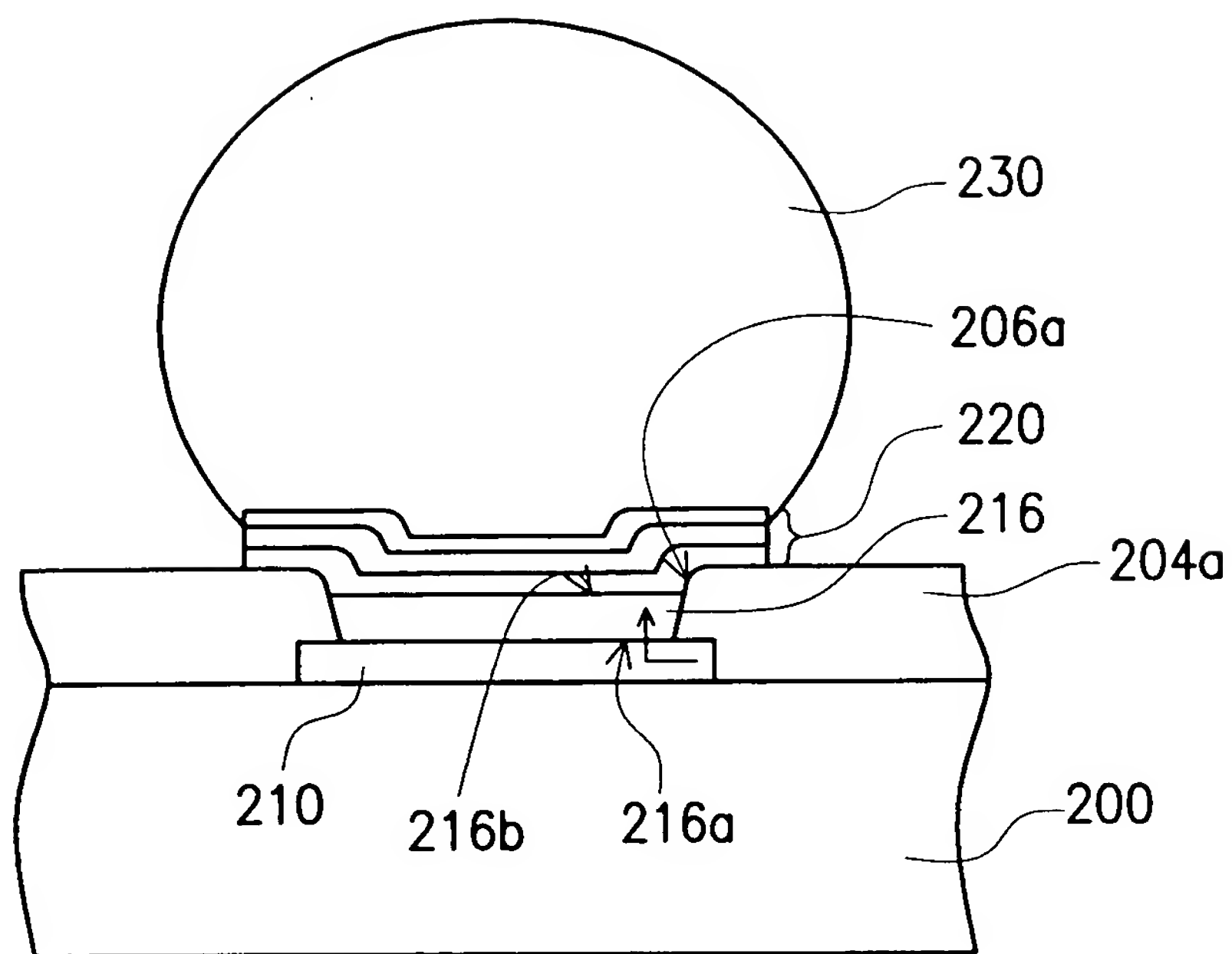




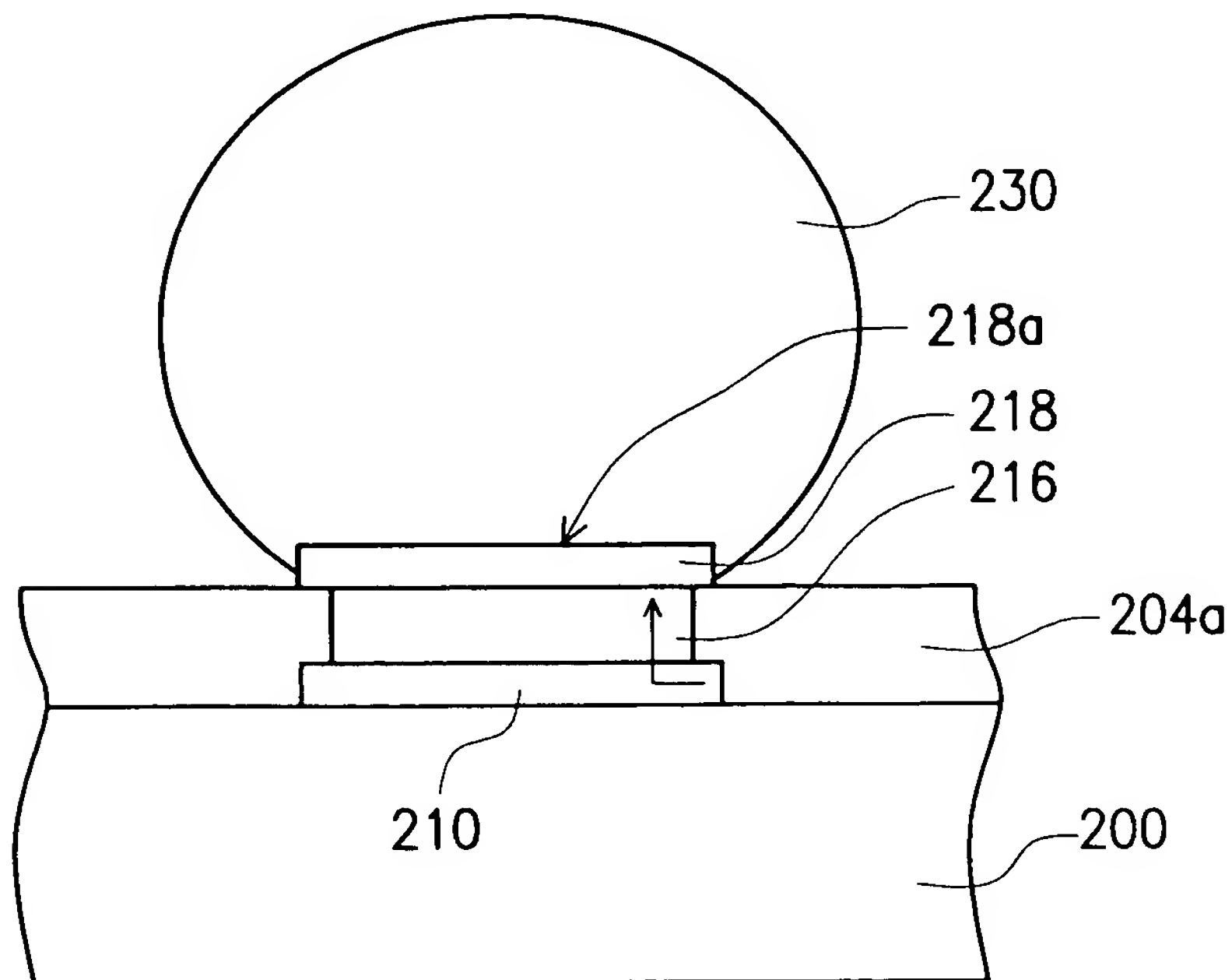
第 1 圖



第 2 圖



第 3 圖

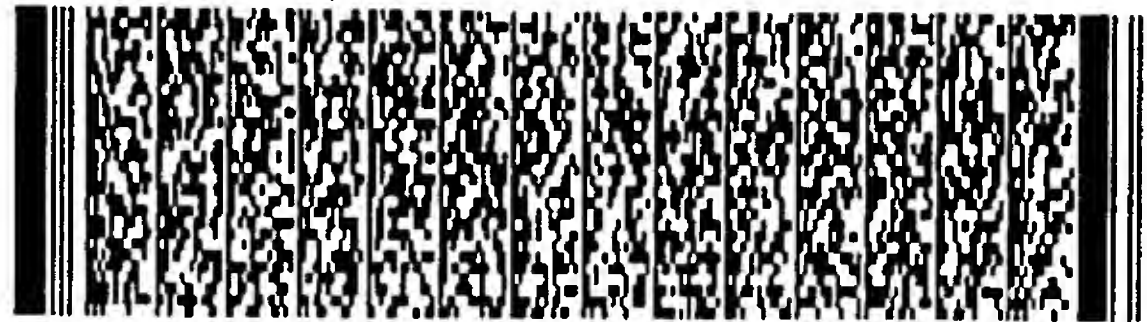


第 4 圖

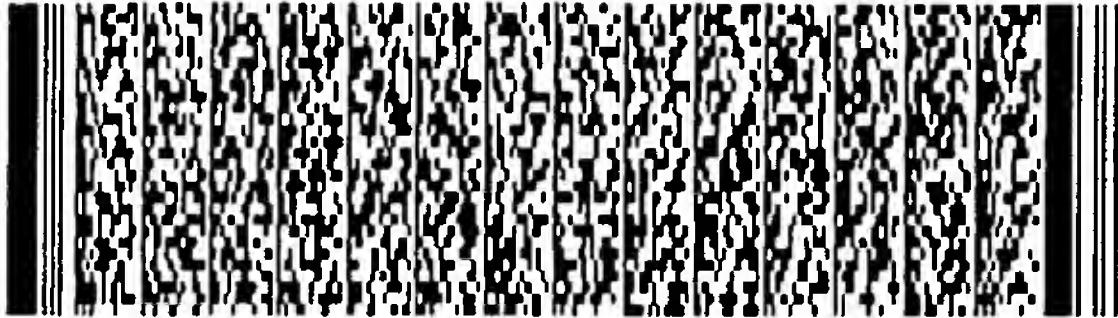
第 1/15 頁



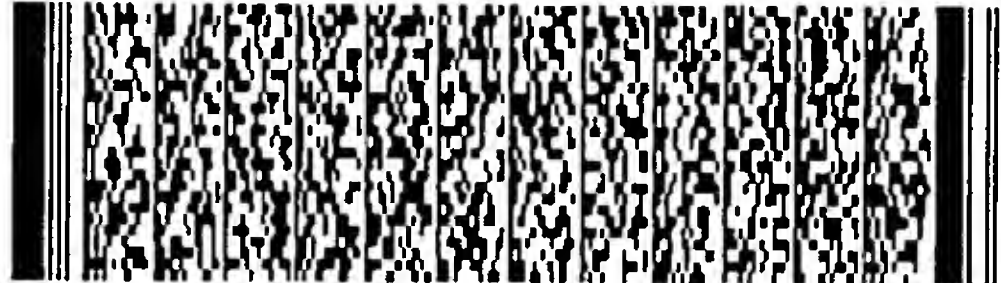
第 2/15 頁



第 2/15 頁



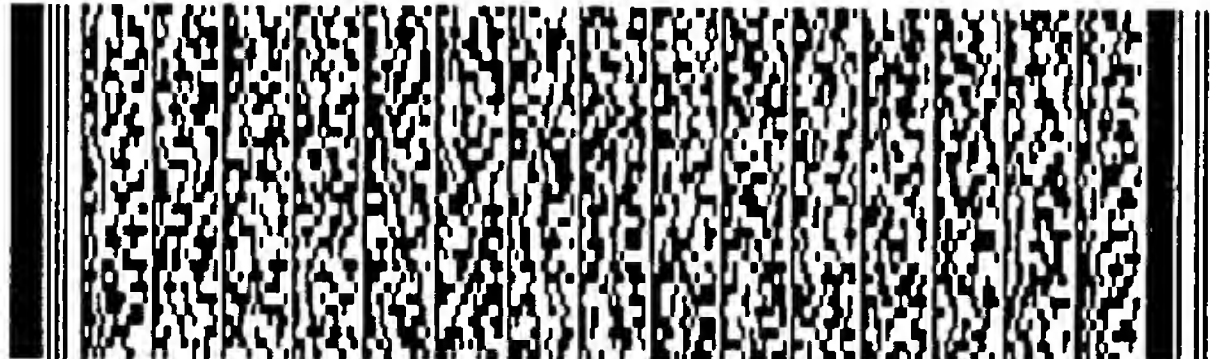
第 3/15 頁



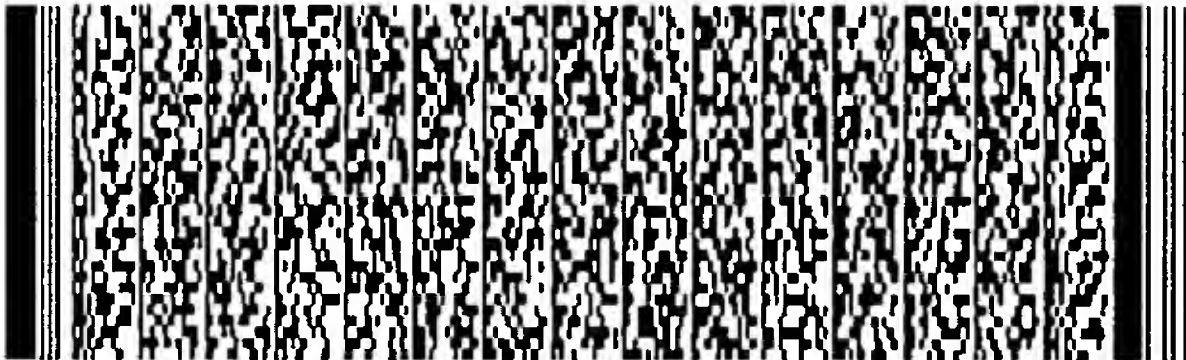
第 4/15 頁



第 5/15 頁



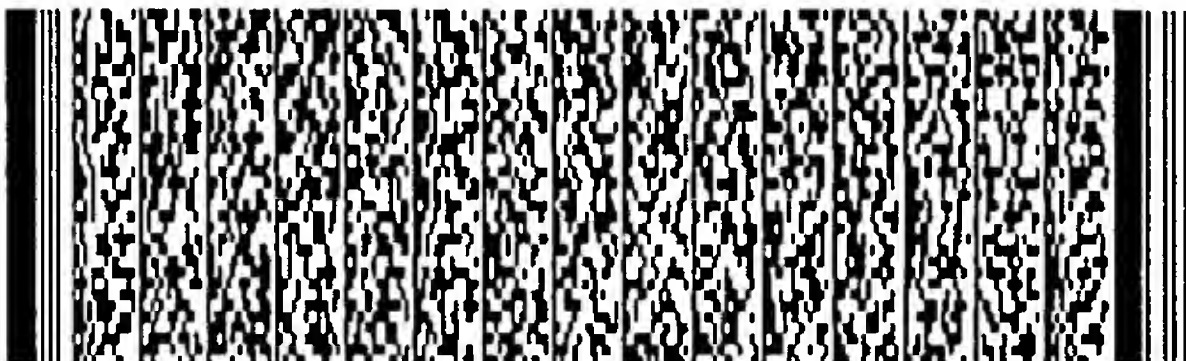
第 5/15 頁



第 6/15 頁



第 6/15 頁



第 7/15 頁



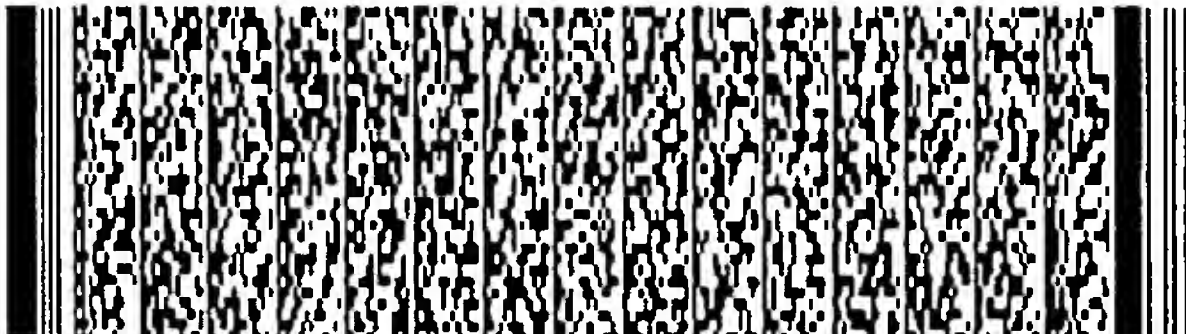
第 7/15 頁



第 8/15 頁



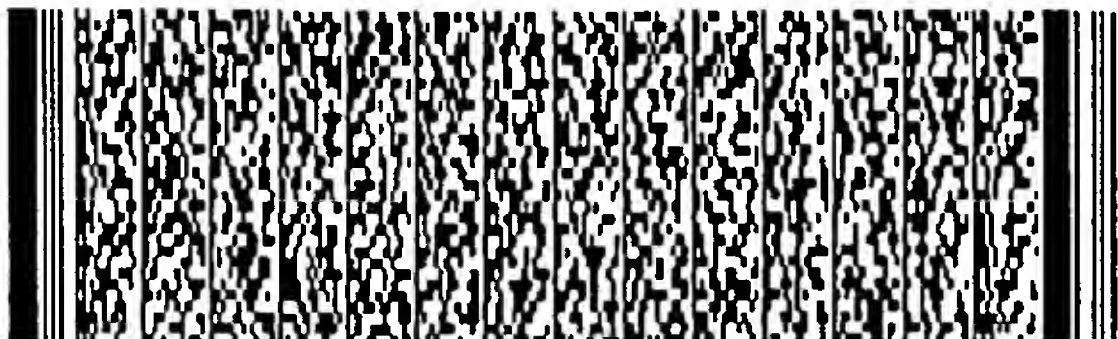
第 8/15 頁



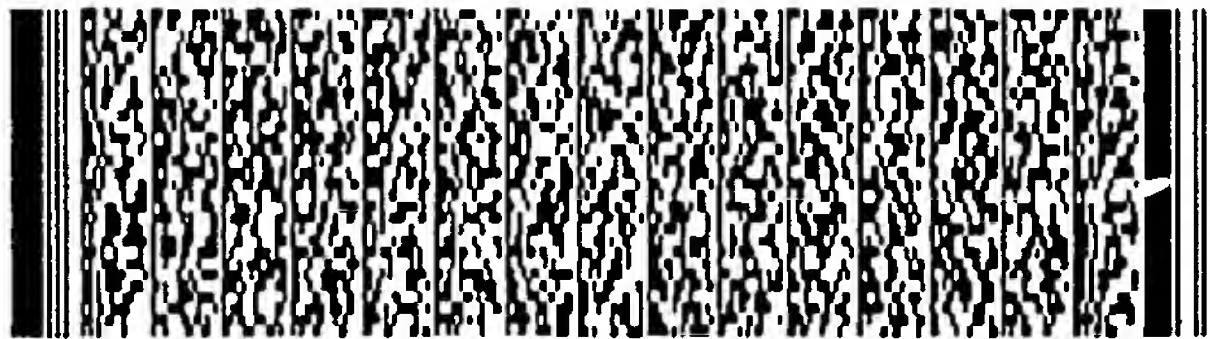
第 9/15 頁



第 9/15 頁



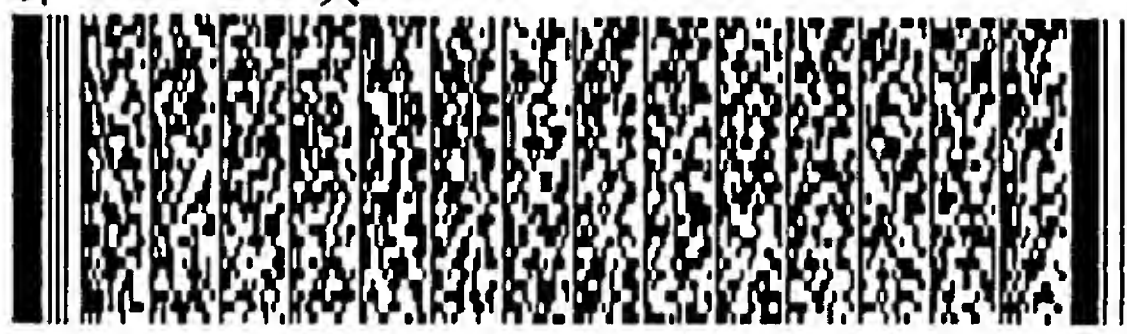
第 10/15 頁



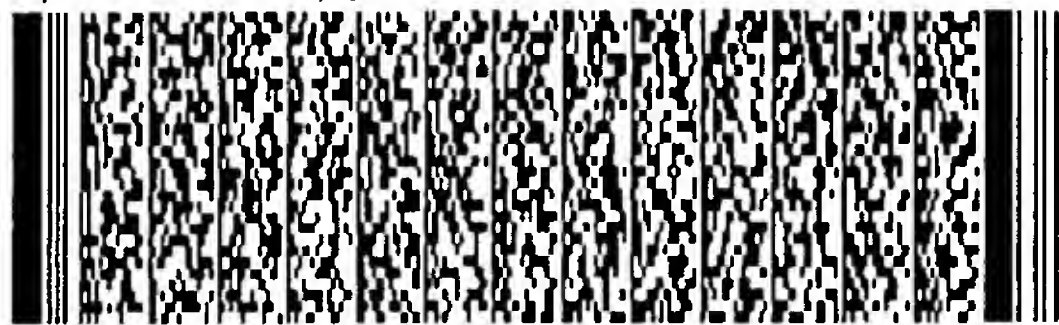
第 10/15 頁



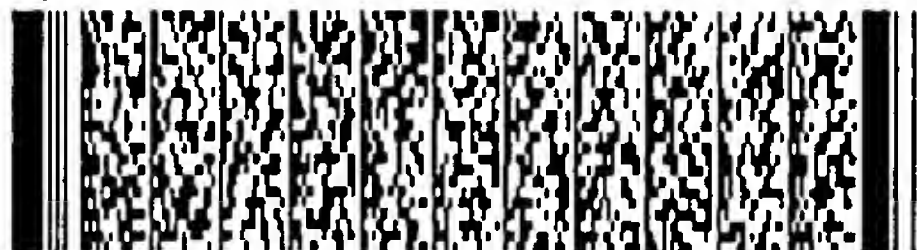
第 11/15 頁



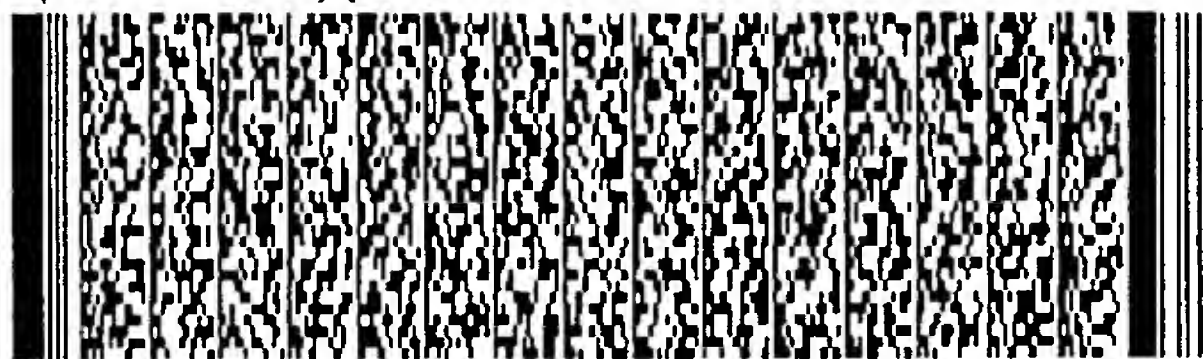
第 12/15 頁



第 13/15 頁



第 14/15 頁



第 15/15 頁

